

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028766

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G11C 11/409
G11C 11/417
G11C 11/413

(21)Application number : 03-204911

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.07.1991

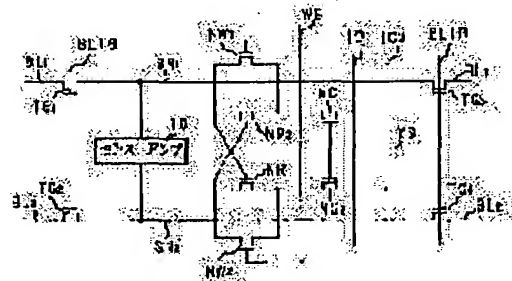
(72)Inventor : NAGAI MASANOBU
MATSUMOTO SHOICHIRO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To prevent data from being destroyed due to the malfunction of a sense amplifier generated due to the back in-flow of a charge from precharged input and output lines to a sense node, at the time of the transition of an amplification by the sense amplifier at the time of a data reading.

CONSTITUTION: N channel MOS transistors NR1 and NR2 for reading, and N channel MOS transistors NW1 and NW2 for writing, which are respectively interposed in parallel, and N channel MOS transistors CN1 and CN2 for column selection which activates a circuit including them, are interposed between bit lines BL1 and BL2 constituting a pair of bit lines, and input and output lines 101 and 102 constituting a pair of input and output lines. The gate of the N channel MOS transistor NR1 for reading is connected to a sense node SN1 of the bit line BL1, the gate of the N channel MOS transistor NR2 is connected to a sense node SN2 of the bit line BL2, and each gate of the N channel MOS transistors NW1 and NW2 for writing is connected to a writing start signal line WE.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-28766

(43)公開日 平成5年(1993)2月5日

(51)IntCl.

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/409

11/417

11/413

8320-5L

7323-5L

G11C 11/34

354 A

305

審査請求 未請求 請求項の数2(全7頁) 最終頁に続く

(21)出願番号 特願平3-204911

(22)出願日 平成3年(1991)7月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 永井 昌伸

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

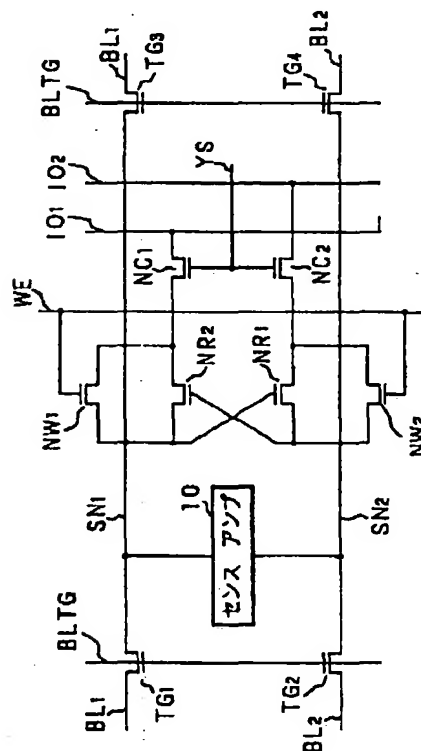
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 データ読出しに際してのセンスアンプによる増幅の過渡時に、プリチャージされた入出力線からセンスノードに電荷が逆流することにより生じるセンスアンプの誤動作でデータが破壊されるのを防止する。

【構成】 ビット線対を構成するビット線BL₁、BL₂と入出力線対を構成する入出力線IO₁、IO₂との間に夫々並列的に介装された読出し用NチャネルMOSトランジスタNR₁、NR₂及び書込み用NチャネルMOSトランジスタNW₁、NW₂と、これらを含む回路を活性化するカラム選択用NチャネルMOSトランジスタCN₁、CN₂とを介装し、前記読出し用NチャネルMOSトランジスタNR₁のゲートはビット線BL₁におけるセンスノードSN₁に、また読出し用NチャネルMOSトランジスタNR₂のゲートはビット線BL₂におけるセンスノードSN₂に夫々接続し、また書込み用NチャネルMOSトランジスタNW₁、NW₂の各ゲートは夫々書込み開始信号線WEに接続する。



【特許請求の範囲】

【請求項1】 メモリセルに接続された第1、第2のビット線とデータの第1、第2の入出力線との間に夫々トランジスタを介在させ、前記トランジスタに対する制御でデータの読出し及び書込みを行うようにした半導体記憶装置において、

前記トランジスタは第1のビット線と第1の入出力線との間に並列的に介装された第1の読出し用MOS トランジスタ及び第1の書込み用MOS トランジスタと、前記第2のビット線と第2の入出力線との間に並列的に介装された第2の読出し用MOS トランジスタ及び第2の書込み用MOS トランジスタとからなり、前記第1の読出し用MOS トランジスタのゲートは前記第2のビット線に、また前記第2の読出し用MOS トランジスタのゲートは前記第1のビット線に夫々接続してあることを特徴とする半導体記憶装置。

【請求項2】 メモリセルに接続された第1、第2のビット線とデータの第1、第2の入出力線との間に夫々トランジスタを介在させ、前記トランジスタに対する制御でデータの読出し、又は書込みを行うようにした半導体記憶装置において、

前記トランジスタは第1のビット線と第1の入出力線との間に並列的に介装された第1の読出し用MOS トランジスタ及び第1の書込み用MOS トランジスタと、前記第2のビット線と第2の入出力線との間に並列的に介装された第2の読出し用MOS トランジスタ及び第2の書込み用MOS トランジスタとからなり、前記第1の書込み用MOS トランジスタのゲートは前記第1の入出力線に、また前記第2の書込み用MOS トランジスタのゲートは前記第2の入出力線に夫々接続してあることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータの入出力線を通じてデータの読出し、書込みを可能としたDRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】 図3は従来のスタティックカラム動作モードのDRAMにおけるビット線対と入出力線対との接続関係を示す回路図であり、図中 BL_1 、 BL_2 はビット線対をなすビット線、 IO_1 、 IO_2 は入出力線対をなすデータ入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。各ビット線 BL_1 、 BL_2 はその一端部が図示しないメモリセルアレイ中のメモリセルに接続されており、また夫々途中にゲートをビット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOS トランジスタ TG_1 、 TG_2 、 TG_3 、 TG_4 が介装せしめられている。

【0003】 また両ビット線 BL_1 、 BL_2 には前記トランジスタ TG_1 、 TG_3 間、 TG_2 、 TG_4 間においてセンスアン

プ10が接続されると共に、このセンスアンプ10による増幅が行われるノード、所謂センスノード SN_1 、 SN_2 は夫々カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 を介在させて入出力線 IO_1 、 IO_2 に接続されている。カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 はそのゲートがカラム選択信号線YSに接続され、ソース又はドレインの一方がセンスノード SN_1 、 SN_2 に、他方が入出力線 IO_1 、 IO_2 に接続されている。

【0004】 次にこのような半導体記憶装置の動作を説明する。まずデータの読出し動作においては入出力線 IO_1 、 IO_2 をプリチャージする一方、ビット線トランスファゲートコントロール信号線BLTGにハイレベルの信号

「H」を与えて選択されたビット線 BL_1 、 BL_2 を導通状態とする。これによって図示しないメモリセルからの微弱なデータはセンスノード SN_1 、 SN_2 に導かれ、センスアンプ10にて増幅される。

【0005】 センスアンプ10による増幅は、例えばセンスノード SN_1 のデータ信号をハイレベル「H」側に増幅するときはセンスノード SN_2 のデータ信号はこれと対応するローレベル「L」側に増幅するようになっている。カラム選択信号線YSにハイレベル「H」の信号を入力し、両カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによってセンスノード SN_1 は入出力線 IO_1 と、またセンスノード SN_2 は入出力線 IO_2 と夫々接続されることとなり、データの読み出しが行われる。データの書込み動作はカラム選択信号線YSにハイレベル「H」の信号を与え、各カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによって各入出力線 IO_1 、 IO_2 をビット線 BL_1 、 BL_2 に接続し、入出力線 IO_1 、 IO_2 、ビット線 BL_1 、 BL_2 を通じてメモリセルにデータが書き込まれる。

【0006】 ところでこのような従来装置にあっては、データの読出し時には入出力線 IO_1 、 IO_2 はいずれもプリチャージされており、カラム選択信号線YSにハイレベル「H」の信号を与えてカラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とすると入出力線 IO_1 、 IO_2 のハイレベル「H」の電荷がセンスノード SN_1 、 SN_2 に逆流する。

【0007】 センスノード SN_1 、 SN_2 のデータがセンスアンプ10にて十分大きい電位差に迄増幅されている場合にはデータが破壊されることは少ないが、増幅途中においてはセンスアンプ10の動作が不安定となり、データが破壊されることが生じる。このためカラム選択信号線YSにハイレベル「H」の信号を設定するのはセンスアンプ10によるデータ信号の増幅が十分行われたタイミングで行われねばならずそのための待ち時間が必要となり、迅速な読み出しが出来ないという難点があった。

【0008】 図4は従来における他の半導体記憶装置におけるビット線と読出し用データ線、書込み用データ線との接続関係を示す回路図である。この半導体記憶装置

においては入出力線に代わって一対の読出しデータ線RD₁, RD₂、書込みデータ線WD₁, WD₂及び書込み開始信号線WEを備えており、これらとビット線BL₁, BL₂との間に読出し用NチャネルMOSトランジスタNR₁, NR₂、カラム選択用NチャネルMOSトランジスタNC₁, NC₂, NC₃及び書込用NチャネルMOSトランジスタNW₁, NW₂が介在せしめられている。

【0009】読出し用NチャネルMOSトランジスタNR₁, NR₂は夫々そのゲートをセンスノードSN₁, SN₂に、またドレインを読出しデータ線RD₁, RD₂に、ソースをカラム選択用NチャネルMOSトランジスタNC₁を介して接地してある。カラム選択用NチャネルMOSトランジスタNC₁はゲートをカラム選択信号線YSに、またソースを接地せしめてある。カラム選択用NチャネルMOSトランジスタNC₂, NC₃はそのゲートをカラム選択信号線YSに、またソース又はドレインの一方をデータ線WD₁, WD₂に、他方を各書込み用NチャネルMOSトランジスタNW₁, NW₂に接続されている。

【0010】書込み用NチャネルMOSトランジスタNW₁, NW₂は夫々そのゲートを書込み開始信号線WEに、またソース、ドレインの一方を前記カラム選択用NチャネルMOSトランジスタNC₂, NC₃に、他方をセンスノードSN₁, SN₂に接続してある。他の構成は図3に示す従来装置と同じであり、対応する部位には同じ符号を付してある。

【0011】次にこのような半導体記憶装置の動作について説明する。データの読み出し動作は読出しデータ線RD₁, RD₂をプリチャージしてハイレベル「H」に設定し、またビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」としてビット線BL₁, BL₂を導通状態とする。所定のメモリセルからのデータはセンスノードSN₁, SN₂に導出されてセンスアンプ10にて増幅される。カラム選択信号線YSをハイレベル「H」に設定してカラム選択用NチャネルMOSトランジスタNC₁をオン状態にしておくと、データ信号がセンスアンプ10にて閾値を越えるレベルに増幅された時点で、読出し用NチャネルMOSトランジスタNR₁, NR₂がオン状態となり、プリチャージされた読出しデータ線RD₁, RD₂の電荷が放電され、データが読み出される。

【0012】なおデータの書込みはカラム選択信号線YS及び書込み開始信号線WEを夫々ハイレベル「H」に設定すると、カラム選択用NチャネルMOSトランジスタNC₂, NC₃及び書込み用NチャネルMOSトランジスタNW₁, NW₂がいずれもオン状態となり、書込みデータ線WD₁, WD₂はビット線BL₁, BL₂に接続され、所定のメモリセルにデータが書込まれることとなる。

【0013】

【発明が解決しようとする課題】ところで図4に示す如き従来の半導体記憶装置にあっては、図3に示す従来装置の如く、読出しデータ線RD₁, RD₂とビット線BL₁,

BL₂とが直接接続されることがないため、読出し時のデータ破壊が生じず、カラム選択信号の入力タイミングを早く設定することが可能で読出し動作の高速化が図れる反面、読出しと、書込みが夫々別個の読出しデータ線RD₁, RD₂、書込みデータ線WD₁, WD₂によって行われ、しかも書込み開始信号線WEも必要となるため、必要な路線長が長くなり、MOSトランジスタ等の素子数も多くパターン面積が増大する等の問題があった。本発明はかかる事情に鑑みなされたものであって、その目的とするところはデータ読出し時のデータの破壊がなく、しかも路線長が短くて済み、トランジスタ等の素子数の増大を伴わない半導体記憶装置を提供するにある。

【0014】

【課題を解決するための手段】第1の本発明に係る半導体記憶装置は、メモリセルに接続された第1, 第2のビット線とデータの第1, 第2の入出力線との間に夫々トランジスタを介在させ、前記トランジスタに対する制御でデータの読出し及び書込みを行うようにした半導体記憶装置において、前記トランジスタは第1のビット線と第1の入出力線との間に並列的に介装された第1の読出し用MOSトランジスタ及び第1の書込み用MOSトランジスタと、前記第2のビット線と第2の入出力線との間に並列的に介装された第2の読出し用MOSトランジスタ及び第2の書込み用MOSトランジスタとからなり、前記第1の読出し用MOSトランジスタのゲートは前記第2のビット線に、また前記第2の読出し用MOSトランジスタのゲートは前記第1のビット線に夫々接続してあることを特徴とする。

【0015】第2の本発明に係る半導体記憶装置は、メモリセルに接続された第1, 第2のビット線とデータの第1, 第2の入出力線との間に夫々トランジスタを介在させ、前記トランジスタに対する制御でデータの読出し、又は書込みを行うようにした半導体記憶装置において、前記トランジスタは第1のビット線と第1の入出力線との間に並列的に介装された第1の読出し用MOSトランジスタ及び第1の書込み用MOSトランジスタと、前記第2のビット線と第2の入出力線との間に並列的に介装された第2の読出し用MOSトランジスタ及び第2の書込み用MOSトランジスタとからなり、前記第1の書込み用MOSトランジスタのゲートは前記第1の入出力線に、また前記第2の書込み用MOSトランジスタのゲートは前記第2の入出力線に夫々接続してあることを特徴とする。

【0016】

【作用】第1の本発明にあっては、メモリセルから各ビット線に導出されたデータが増幅されて第1, 第2ビット線の信号の電位差が読出し用トランジスタの閾値を越えるとデータ信号がハイレベルに増幅されているビット線にゲートが接続されている読出し用トランジスタがオン状態となり、ビット線と入出力線が接続され、これによって入出力線のプリチャージされた電荷がビット線に

逆流入して前記ビット線の電位が浮き上って、両ビット線の電位差が読出し用トランジスタの閾値より低くなると再び読出し用トランジスタがオフ状態に戻り、データの破壊が抑制される。

【0017】第2の本発明にあつては、各ビット線と入出力線との間に夫々介装されている第1の書き込み用トランジスタのゲートは第1の入出力線に、また第2の書き込み用トランジスタのゲートは第2の入出力線に夫々接続しているから、書き込み開始信号線、並びに書き込み開始信号の制御系が全く不必要となり、配線長及び素子数の大幅な低減が可能となる。

【0018】

【実施例】以下本発明をその実施例を示す図面にに基づき具体的に説明する。

(実施例1) 図1は本発明に係る半導体記憶装置におけるビット線と入出力線との接続関係を示す回路図であり、図中 BL_1 、 BL_2 はビット線対を構成するビット線、 IO_1 、 IO_2 はデータの入出力線対を構成する入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。各ビット線 BL_1 、 BL_2 は夫々その一端部は図示しないメモリセルに接続され、また途中にはゲートをビット線トランスファゲートコントロール信号線BLTGに接続したトランジスタ $TG_1 \sim TG_4$ が介装され、ビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」に設定することにより選択されたメモリセルアレイに連なるビット線 BL_1 、 BL_2 が選択されることとなる。

【0019】また各ビット線 BL_1 、 BL_2 におけるMOSトランジスタ TG_1 、 TG_3 と TG_2 、 TG_4 との中間にはセンスアンプ10が接続されている。センスアンプ10はビット線 BL_1 、 BL_2 におけるセンスノード SN_1 、 SN_2 のデータ信号に対し、例えばセンスノード SN_1 のデータをハイレベル側に、同時にセンスノード SN_2 のデータ信号はこれと対応してローレベル側に増幅するようになっている。

【0020】そしてビット線 BL_1 、 BL_2 とデータ入出力線 IO_1 、 IO_2 とは、読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 及び書き込み用NチャネルMOSトランジスタ NW_1 、 NW_2 並びにこれらを含む回路を活性化するためのカラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 を介在させて接続されている。

【0021】読出し用NチャネルMOSトランジスタ NR_1 はそのゲートを他の読出し用NチャネルMOSトランジスタ NR_2 のソース又はドレインと共にセンスノード SN_1 に接続され、またソース又はドレインの一方は他の読出し用NチャネルMOSトランジスタ NR_2 のゲートと共にセンスノード SN_2 に、また他方を書き込み用NチャネルMOSトランジスタ NW_2 のソース又はドレインと共に、カラム選択用NチャネルMOSトランジスタ NC_2 に接続されている。

【0022】書き込み用NチャネルMOSトランジスタN

W_1 、 NW_2 はゲートを夫々書き込み開始信号線WEに接続され、ソース、ドレインの一方を夫々センスノード SN_1 、 SN_2 に、他方を読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 のソース又はドレインと共にカラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 に接続されている。カラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 はそのゲートをカラム選択信号線YSに接続し、ソース又はドレインの一方を入出力線 IO_1 、 IO_2 に、他方を読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 、書き込み用NチャネルMOSトランジスタ NW_1 、 NW_2 に夫々接続されている。

【0023】次にこのような半導体記憶装置の動作を説明する。先ずデータの読出し動作はビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」に設定し、MOSトランジスタ $TG_1 \sim TG_4$ をオン状態としてビット線 BL_1 、 BL_2 を導通状態とし、また入出力線 IO_1 、 IO_2 をプリチャージしておく。

【0024】ビット線 BL_1 、 BL_2 を導通状態とすることにより、これらが接続されている所定のメモリセルからのデータ信号がセンスノード SN_1 、 SN_2 に導出され、センスアンプ10にて、例えばセンスノード SN_1 のデータ信号はハイレベル「H」側に、またセンスノード SN_2 のデータ信号はローレベル「L」側に増幅される。両センスノード SN_1 、 SN_2 の電位差が読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 の閾値 V_{th} を越えると、データ信号がハイレベル「H」側に増幅されているセンスノード SN_1 とゲートが接続された読出し用NチャネルMOSトランジスタ NR_1 がオン状態となり、センスノード SN_2 が読出し用NチャネルMOSトランジスタ NR_1 、カラム選択用NチャネルMOSトランジスタ NC_2 を介して入出力線 IO_2 と接続され、データの読み出しが行われる。

【0025】なお、センスノード SN_1 は読出し用NチャネルMOSトランジスタ NR_2 がオフ状態となっているため、入出力線 IO_1 とは接続されない。また、読出し用NチャネルMOSトランジスタ NR_1 がオン状態となってセンスノード SN_2 が入出力線 IO_2 と接続された直後の過渡状態下ではプリチャージされている入出力線 IO_2 の高い電荷がセンスノード SN_2 に逆流入するが、これによってセンスノード SN_2 の電位が浮上がりセンスノード SN_1 との電位差が小さくなると、読出し用NチャネルMOSトランジスタ NR_1 がオフ状態に復帰し、センスノード SN_2 へのそれ以上の電荷の流入が防止され、データが保護される。

【0026】そして再びセンスアンプ10の動作によりセンスノード SN_1 、 SN_2 の電位差が閾値 V_{th} を越えると読出し用NチャネルMOSトランジスタ NR_1 がオン状態に復帰する。このような動作を反復した後、読出し用NチャネルMOSトランジスタ NR_1 は安定したオン状態となり、センスノード SN_2 と入出力線 IO_2 とが接続状態となる。

【0027】一方、データの書き込みはカラム選択信号線

YSをハイレベル「H」に設定し、カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 をオン状態とし、次いで書込み開始信号線WEをハイレベル「H」に設定して書込み用NチャネルMOSトランジスタ NW_1 , NW_2 をオン状態とすることにより、入出力線 IO_1 , IO_2 はビット線 BL_1 , BL_2 と接続されることとなる。

【0028】このような実施例1にあっては、読出し用NチャネルMOSトランジスタ NR_1 又は NR_2 がオン状態となり、センスノード SN_1 又は SN_2 が入出力線 IO_1 又は IO_2 と接続されたとき、プリチャージされた入出力線 IO_1 又は IO_2 の電荷がセンスノード SN_1 又は SN_2 に流入し、センスノード SN_1 又は SN_2 の電位が上がりデータが一時的に劣化するが、これによって電位差が閾値以下になると読出し用NチャネルMOSトランジスタ NR_1 又は NR_2 がオフ状態に復帰し、センスアンプ10の動作を安定させセンスノード SN_1 又は SN_2 のデータの破壊が抑制される。このようにセンスノード SN_1 , SN_2 の電位差が閾値以上開いて初めて動作するから、カラム選択信号線YSをハイレベル「H」に設定するタイミングに制約がなく、より早い時期にハイレベル「H」に設定することが可能で、それだけより迅速なデータの読み出しが可能となる。

【0029】(実施例2) 図2は本発明の他の実施例におけるビット線と入出力線との接続関係を示す回路図である。この実施例においては書込み開始信号線WEがなく、書込み用NチャネルMOSトランジスタ NW_1 のゲートは入出力線 IO_2 に、また他の書込み用NチャネルMOSトランジスタ NW_2 のゲートは入出力線 IO_1 に接続されている。他の構成は実施例1と実質的に同じであり、対応する部位には同じ符号を付して説明を省略する。

【0030】このような実施例2におけるデータの読み出し動作は実施例1と全く同じである。一方データの書込み動作はカラム選択信号線YSをハイレベル「H」に設定すると、カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 がオン状態となり、入出力線 IO_1 , IO_2 は書込み用NチャネルMOSトランジスタ NW_1 , NW_2 のゲートに接続される。いま例えば入出力線 IO_1 , IO_2 のうち前者

にハイレベル「H」の、また後者にローレベル「L」の信号が印加され、その電位差が書込み用NチャネルMOSトランジスタ NW_1 , NW_2 の閾値 V_{tn} よりも大きくなると、書込み用NチャネルMOSトランジスタ NW_2 がオン状態となり、一方他方の書込み用NチャネルMOSトランジスタ NW_1 はオフの状態のままととなる。

【0031】これによって、入出力線 IO_2 はカラム選択用NチャネルMOSトランジスタ NC_2 , 書込み用NチャネルMOSトランジスタ NW_2 を経てビット線 BL_2 と接続され、データの書込みが行われることとなる。このような実施例2にあっては書込み開始信号線WEが不要となり、またこの信号を制御する制御系が不要となり、これら配線長の短縮が図れることとなる。

【0032】

【発明の効果】以上の如く本発明装置にあってはデータ読出し時におけるデータの破壊が大幅に低減出来、しかも素子数、配線長が増大することがない等本発明は優れた効果を奏するものである。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置におけるビット線と入出力線との接続関係を示す回路図である。

【図2】本発明の他の実施例におけるビット線と入出力線との接続関係を示す回路図である。

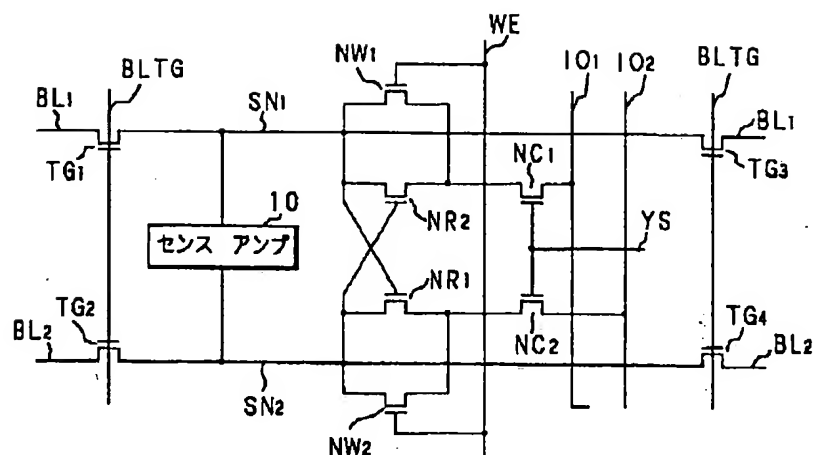
【図3】従来の半導体記憶装置におけるビット線と入出力線との接続関係を示す回路図である。

【図4】従来の他の半導体記憶装置におけるビット線と読出しデータ線、書込みデータ線との関係を示す回路図である。

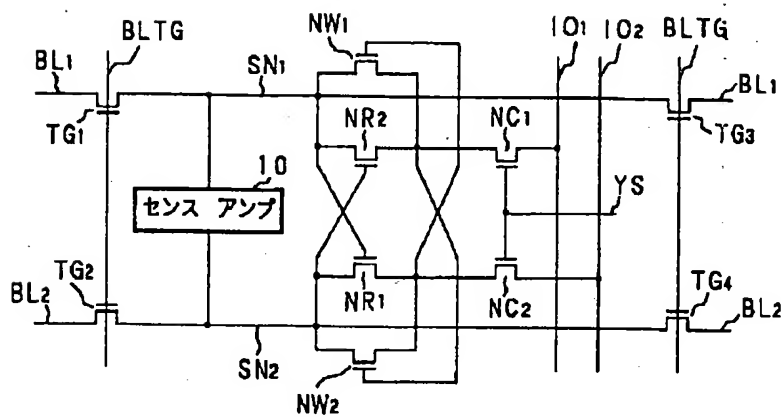
【符号の説明】

10	センスアンプ
BL_1 , BL_2	ビット線
IO_1 , IO_2	入出力線
SN_1 , SN_2	センスノード
NC_1 , NC_2	カラム選択用NチャネルMOSトランジスタ
NR_1 , NR_2	読出し用NチャネルMOSトランジスタ
NW_1 , NW_2	書込み用NチャネルMOSトランジスタ

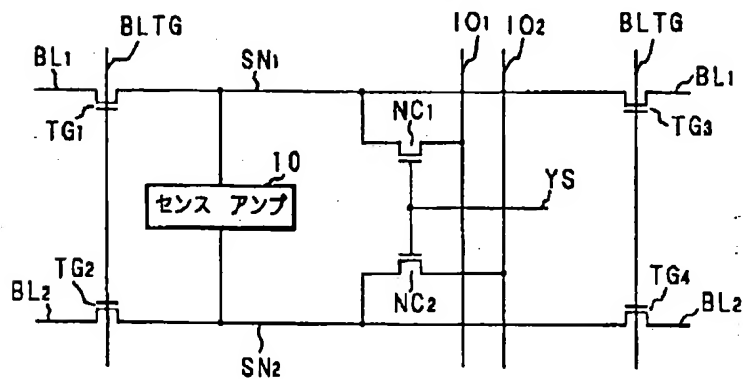
【図1】



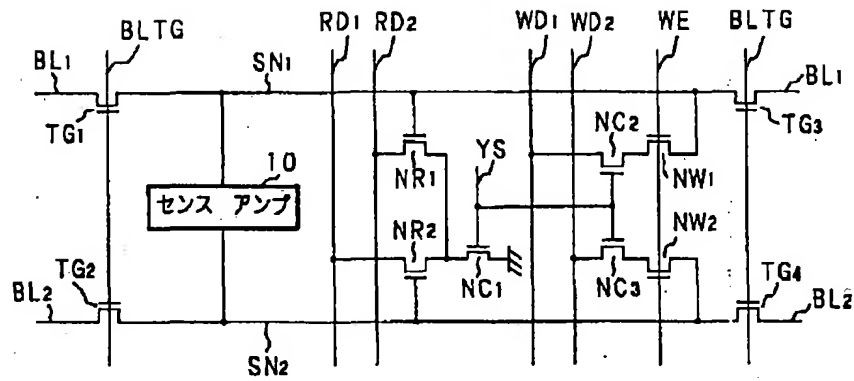
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

7323-5L

G11C 11/34

341 A